

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-215095
(43)Date of publication of application : 31.07.2002

(51)Int.Cl.

G09G 3/30
G09G 3/20
H05B 33/08
H05B 33/14

(21)Application number : 2001-013096
(22)Date of filing : 22.01.2001

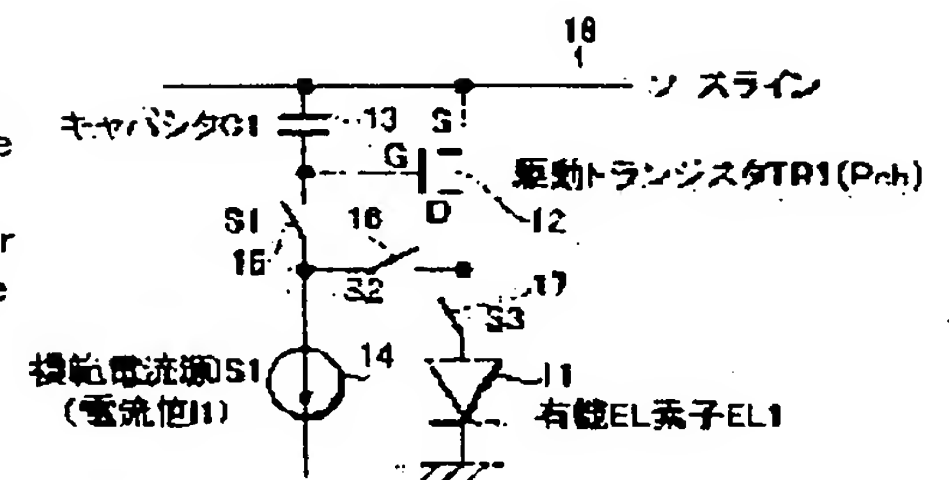
(71)Applicant : PIONEER ELECTRONIC CORP
(72)Inventor : OKUDA YOSHIYUKI

(54) PIXEL DRIVING CIRCUIT OF LIGHT EMITTING DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pixel driving circuit of a light emitting display which is simplified in the whole operation by eliminating a useless waiting time for halting driving unselected light emitting elements at the time of current-programming selected light emitting elements.

SOLUTION: At the time of current-programming, the drain or source side of a driving transistor 12 is once disconnected (switch 17) from a light emitting element 11 to be driven, and a reference current is made to flow through the drain or source side to let the transistor store it, and as soon as the current-programming is ended, the drain or source is changed over to the side of the light emitting element to be driven, to set the pixel to its driving mode. The light emitting element driving current of the driving transistor 12 is stopped, and the reference current is made to flow through the drain or source side, and a gate voltage corresponding thereto is automatically generated. While this current-programming is operating, driving of the other lines is continued.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO

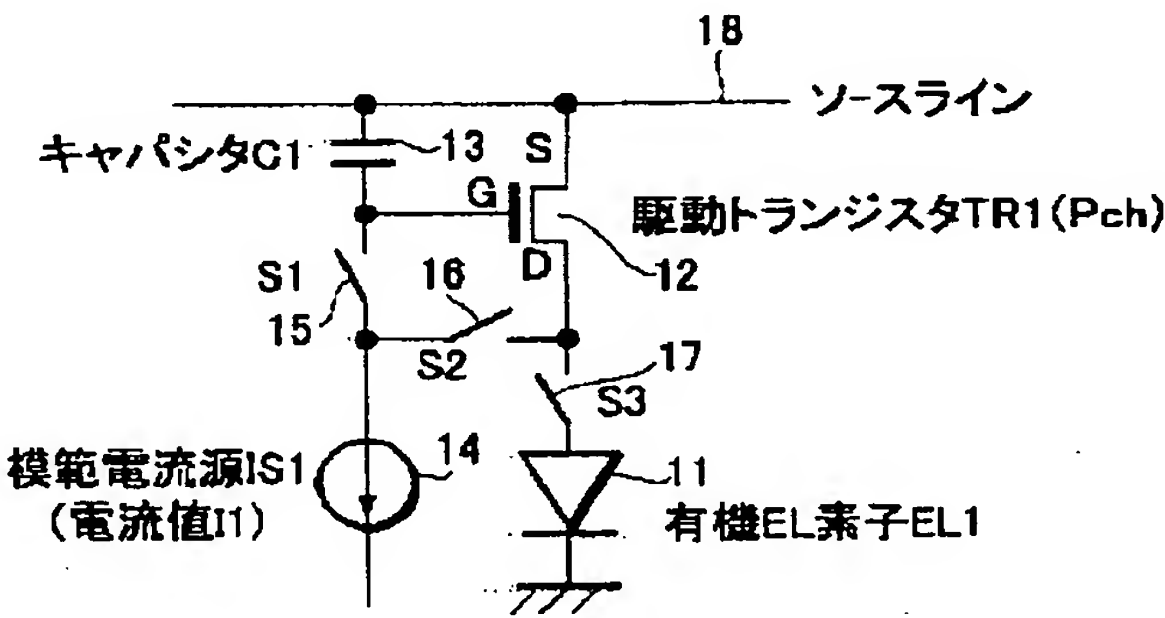
(51)Int.Cl. ⁷		識別記号	F I	テーマト* (参考)	
G 0 9 G	3/30		G 0 9 G	3/30	J 3 K 0 0 7
	3/20	6 1 2		3/20	6 1 2 U 5 C 0 8 0
		6 4 2			6 4 2 B
H 0 5 B	33/08		H 0 5 B	33/08	
	33/14			33/14	A
審査請求 未請求 請求項の数 5 O L (全 7 頁)					
(21)出願番号	特願2001－13096(P2001－13096)				
(22)出願日	平成13年 1 月22日(2001. 1. 22)				
(71)出願人	000005016 バイオニア株式会社 東京都目黒区目黒1丁目4番1号				
(72)発明者	奥田 義行 埼玉県鶴ヶ島市富士見6丁目1番1号 バ イオニア株式会社総合研究所内				
(74)代理人	100063565 弁理士 小橋 信淳				
Fターム(参考)	3K007 AB02 AB11 AB18 BA06 DA01 DB03 EB00 GA04 5C080 AA06 BB05 DD05 DD08 DD30 EE28 FF07 JJ03				

(54)【発明の名称】 発光ディスプレイの画素駆動回路

(57)【要約】

【課題】 選択された発光素子の電流プログラム時に、選択されていない発光素子の駆動を停止する無駄な待ち時間をなくし、全体の動作を簡略化した発光ディスプレイの画素駆動回路を提供する。

【解決手段】 電流プログラム時に駆動トランジスタ12のドレインもしくはソース側を一旦駆動すべき発光素子11から切り離し（スイッチ17）、そのドレインもしくはソース側に模範電流を注入して覚え込ませ、電流プログラムが終了した段階ですぐにそのドレインもしくはソースを駆動すべき発光素子側に切替えることでその画素を駆動モードに設定する。駆動トランジスタ12の発光素子ドライブ電流を止め、模範電流をドレインもしくはソース側から注入し、それに見合ったゲート電圧を自動的に生成する。この電流プログラム動作の間、他のラインの駆動は継続したままである。



(2)

1

【特許請求の範囲】

【請求項1】 発光素子と、発光素子を駆動する駆動トランジスタから成る発光ディスプレイの画素駆動回路であって、

前記駆動トランジスタのドレインもしくはソースを駆動すべき発光素子から切り離れた状態でそのドレインもしくはソースに模範電流を注入して覚え込ませる電流プログラム手段と、

前記電流プログラム手段による模範電流の覚え込みが終了したときに前記駆動トランジスタのドレインもしくはソースを駆動すべき発光素子側に切替え、その発光素子を駆動する発光素子駆動手段と、を備えたことを特徴とする発光ディスプレイの画素駆動回路。

【請求項2】 前記電流プログラム手段は、前記駆動トランジスタのドレインもしくはソースに模範電流を注入する模範電流源と、

前記発光素子と前記駆動トランジスタのドレインもしくはソース間に介挿された第1のスイッチング手段と、

前記第1のスイッチング手段を介し、前記発光素子を回路から切り離れた状態で前記駆動トランジスタのドレインもしくはソースに前記模範電流源から模範電流を注入する手段と、

前記模範電流の注入に応じて生成されるゲート電圧が蓄積される電圧蓄積手段と、を備えたことを特徴とする請求項1に記載の発光ディスプレイの画素駆動回路。

【請求項3】 前記発光素子駆動手段は、前記模範電流源と前記駆動トランジスタのドレインもしくはソース間、前記模範電流源と前記駆動トランジスタのゲート間のそれぞれに介挿された第2、第3のスイッチング手段と、

前記第2のスイッチング手段を介して前記電流駆動トランジスタのドレインもしくはソースから前記模範電流源を切り離し、前記電圧蓄積手段に蓄積されたゲート電圧により前記発光素子に電流を供給する電流供給手段と、前記第3のスイッチング手段を介して前記電圧蓄積手段によるゲート電圧の供給を前記電流プログラム手段による動作が有効になるまで保持する手段と、を備えたことを特徴とする請求項1または2に記載の発光ディスプレイの画素駆動回路。

【請求項4】 前記電流プログラム手段は、前記駆動トランジスタのソースもしくはドレインラインの電位を前記発光素子が動作不能な状態に設定して前記模範電流源を前記駆動トランジスタのドレインもしくはソースに接続する接続手段と、

前記接続手段を介し、前記発光素子を回路から切り離れた状態で前記駆動トランジスタのドレインもしくはソースに前記模範電流源から模範電流を注入する手段と、前記模範電流の注入に応じて生成されるゲート電圧が蓄積される電圧蓄積手段と、を備えたことを特徴とする請求項1に記載の発光ディスプレイの画素駆動回路。

2

【請求項5】 前記発光素子駆動手段は、

前記模範電流源と前記駆動トランジスタのドレインもしくはソース間、前記模範電流源と前記駆動トランジスタのゲート間のそれぞれに介挿された第2、第3のスイッチング手段と、

前記第2のスイッチング手段を介して前記駆動トランジスタのドレインもしくはソースから前記模範電流源を切り離し、前記ソースもしくはドレインラインの電位を前記発光素子が動作可能な状態に設定することにより、前記電圧蓄積手段に蓄積されたゲート電圧により前記発光素子に電流を供給する電流供給手段と、

前記第3のスイッチング手段を介して前記電圧蓄積手段によるゲート電圧の供給を前記電流プログラム手段による動作が有効になるまで保持する手段と、を備えたことを特徴とする請求項1または4に記載の発光ディスプレイの画素駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は発光ディスプレイの画素駆動回路に関し、特に、画素駆動に電流駆動型トランジスタを使用する有機EL（電界発光）等の発光ディスプレイに用いて好適な画素駆動回路に関する。

【0002】

【従来の技術】有機ELディスプレイ等の発光ディスプレイは、画素毎に配置された素子を駆動するために電流駆動用トランジスタ（TFT）が必要である。一般的な駆動方法としては、電流駆動用トランジスタのゲート電位をビデオ信号に追従して制御することで画像の階調を制御する。

【0003】ところが、有機EL素子を駆動するトランジスタの特性バラツキが大きく、結果として駆動電流の画素間バラツキとなって現れ、表示に悪影響を及ぼす。

【0004】

【発明が解決しようとする課題】駆動トランジスタの特性バラツキを野放しにした場合、結果として駆動電流の画素間バラツキとなって現れ、表示画質が低下して、ざらざらしたノイズがばらまかれたように見える。

【0005】一方、駆動トランジスタのソース側から模範電流の注入を行う回路構成とした場合には、ある選択された画素セルに電流プログラムをしている間、それ以外の画素セルは駆動トランジスタの電流を止める必要が生じる。従って、全ての画素セルの電流プログラム動作が終了するまでの間は、いずれの画素セルも駆動モードに設定することができないため、全画素セルの電流プログラムが終わるまで待つ必要がある。従って、全画素セルの電流プログラムの動作が終了するまでの間、タイミング上、EL駆動できない無駄な待ち時間となってしまう。

【0006】また、プログラム電流値を一定にして発光素子をON/OFFしてパルス密度により階調表現しよ

(3)

3

うとした場合、1フレームをいくつかのサブフレームに分けて高速制御しなければならなくなる。上記した従来の方法によれば、無駄時間の設定が必要であるため、その分だけサブフレーム時間が長くなり、画面全体のアドレッシングスピードの上限が低くなる。従って1フレームのサブフレーム分数が下がり、表現可能な階調数が荒くなって表示画質が落ちるといった欠点を有することがわかった。

【0007】本発明は上記事情に鑑みてなされたものであり、例えば、電流プログラム時に駆動トランジスタのドレイン側を一旦駆動すべき発光素子から切り離し、そのドレイン側に模範電流を注入して覚え込ませ、電流プログラムが終了した段階ですぐにそのドレインを駆動すべき発光素子側に切替えることでその画素セルを駆動モードに設定可能とし、このことにより、無駄な待ち時間をなくし、全体の動作を簡略化した発光ディスプレイの画素駆動回路を提供することを目的とする。

【0008】

【課題を解決するための手段】上記した課題を解決するために請求項1に記載の発明は、発光素子と、発光素子を駆動する駆動トランジスタから成る発光ディスプレイの画素駆動回路であって、前記駆動トランジスタのドレインもしくはソースを駆動すべき発光素子から切り離した状態でそのドレインもしくはソースに模範電流を注入して覚え込ませる電流プログラム手段と、前記電流プログラム手段による模範電流の覚え込みが終了したときに前記駆動トランジスタのドレインもしくはソースを駆動すべき発光素子側に切替え、その発光素子を駆動する発光素子駆動手段と、を備えたことを特徴とする。

【0009】上記構成により、模範電流プログラム動作によってそれを電流値として画素セルに覚え込ませることで、駆動トランジスタの特性バラツキにかかわらず駆動電流を意図通りに制御することができ、TFTプロセス特有のトランジスタ特性のバラツキによる画素セル間の駆動電流バラツキが防げるため表示品質の改善がはかれる。また、ある選択されたラインの画素セルに電流プログラムをしている間に他の選択されていないラインの画素セルを駆動モードに設定でき、従って、無駄な待ち時間をなくし、全体の動作を簡略化した発光ディスプレイの画素駆動回路を提供することができる。

【0010】請求項2に記載の発明は、請求項1に記載の発光ディスプレイの画素駆動回路において、前記電流プログラム手段は、前記駆動トランジスタのドレインもしくはソースに模範電流を注入する模範電流源と、前記発光素子と前記駆動トランジスタのドレインもしくはソース間に介挿された第1のスイッチング手段と、前記第1のスイッチング手段を介し、前記発光素子を回路から切り離した状態で前記駆動トランジスタのドレインもしくはソースに前記模範電流源から模範電流を注入する手段と、前記模範電流の注入に応じて生成されるゲート電

4

圧が蓄積される電圧蓄積手段と、を備えたことを特徴とする。

【0011】請求項3に記載の発明は、請求項1または2に記載の発光ディスプレイの画素駆動回路において、前記発光素子駆動手段は、前記模範電流源と前記駆動トランジスタのドレインもしくはソース間、前記模範電流源と前記駆動トランジスタのゲート間のそれぞれに介挿された第2、第3のスイッチング手段と、前記第2のスイッチング手段を介して前記電流駆動トランジスタのドレインもしくはソースから前記模範電流源を切り離し、前記電圧蓄積手段に蓄積されたゲート電圧により前記発光素子に電流を供給する電流供給手段と、前記第3のスイッチング手段を介して前記電圧蓄積手段によるゲート電圧の供給を前記電流プログラム手段による動作が有効になるまで保持する手段と、を備えたことを特徴とする。

【0012】請求項4に記載の発明は、請求項1に記載の発光ディスプレイの画素駆動回路において、前記電流プログラム手段は、前記駆動トランジスタのソースもしくはドレインラインの電位を前記発光素子が動作不能な状態に設定して前記模範電流源を前記駆動トランジスタのドレインもしくはソースに接続する接続手段と、前記接続手段を介し、前記発光素子を回路から切り離した状態で前記駆動トランジスタのドレインもしくはソースに前記模範電流源から模範電流を注入する手段と、前記模範電流の注入に応じて生成されるゲート電圧が蓄積される電圧蓄積手段と、を備えたことを特徴とする。

【0013】請求項5に記載の発明は、請求項1または4に記載の発光ディスプレイの画素駆動回路において、前記発光素子駆動手段は、前記模範電流源と前記駆動トランジスタのドレインもしくはソース間、前記模範電流源と前記駆動トランジスタのゲート間のそれぞれに介挿された第2、第3のスイッチング手段と、前記第2のスイッチング手段を介して前記駆動トランジスタのドレインもしくはソースから前記模範電流源を切り離し、前記ソースもしくはドレインラインの電位を前記発光素子が動作可能な状態に設定することにより、前記電圧蓄積手段に蓄積されたゲート電圧により前記発光素子に電流を供給する電流供給手段と、前記第3のスイッチング手段を介して前記電圧蓄積手段によるゲート電圧の供給を前記電流プログラム手段による動作が有効になるまで保持する手段と、を備えたことを特徴とする。

【0014】

【発明の実施の形態】図1は、本発明における発光ディスプレイの画素駆動回路の一実施形態を示す概略構成図である。図1において、11は有機EL素子(EL1)、12は、駆動トランジスタ(TR1)、13はキャパシタ(C1)、14は模範電流源(IS1)である。駆動トランジスタ12として、ここでは、Pチャンネルの電流駆動型TFTを用いるものとし、ドレインD側にスイッチ(S3)17を介して有機EL素子1が接

(4)

5

続されている。また、ゲートGとソースライン18の間には、ゲート電圧保持用のキャパシタ13が接続され、更に、模範電流源14とゲートG間にスイッチ(S1)5が、模範電流源14とドレインD間にスイッチ(S2)16が接続されている。ここでは、模範電流源14を外部に備え、模範電流プログラムモードとEL駆動モードとをスイッチ15～17を介して切替えることにより後述する動作が実行される。

【0015】電流プログラムモードから説明する。まず、スイッチ17を“OFF”状態に設定することにより、有機EL素子11を回路から切り離れた状態で模範電流源14による電流I1を駆動トランジスタ12のドレインに注入する。他のスイッチ15、16はともに“ON”状態に設定されている。このことにより、模範電流I1は、駆動トランジスタ12のドレイン以外に流れる経路がないため、駆動トランジスタ12は、ドレイン電流として模範電流I1を流すようにゲート電圧を発生させるしかない。このように、駆動トランジスタ12は、模範電流I1を流すのに対応したゲート電圧によって、あたかも模範電流源14が駆動トランジスタ12の負荷であるかのように模範電流源14に模範電流I1を流そうとする。そして、そのゲート電圧は、同時にキャパシタ13にチャージされる。

【0016】次に、有機EL動作モードについて説明する。まず、スイッチ16を“OFF”状態に設定して模

6

*範電流源14を切り離し、スイッチ17を開じて駆動トランジスタ11に接続すると、駆動トランジスタ11は、キャパシタ13にチャージされたゲート電圧により、ドレイン電流として模範電流I1を流し続けようとし、有機EL素子11に模範電流を流し込む。同時に、スイッチ15を“OFF”することによってキャパシタ13にチャージされているゲート電圧は閉じ込められ、次の電流プログラムモード時まで保持される。

【0017】図2は、図1に示すスイッチ15～17を実際のトランジスタで構成したときの実施形態を示す回路図である。図中、図1と同一番号が付された回路素子は図1に示すそれと同じである。なお、図1に示すスイッチ15は、スイッチングトランジスタ(TR2)25に、スイッチ16は、スイッチングトランジスタ(TR3)26に、スイッチ17はスイッチングトランジスタ(TR4)27に相当し、ここでは、いずれもNチャンネルトランジスタで構成されるものとする。

【0018】動作は図1に示す実施形態と同様であるため重複を避ける意味で説明を省略するが、以下に動作モード(電流プログラムモード/有機EL駆動モード)毎のトランジスタ25～27の状態遷移を<表1>として示す。

【0019】

【表1】トランジスタの状態遷移

動作モード	TR2 (S1)	TR3 (S2)	TR4 (S3)
電流プログラムモード	“ON”	“ON”	“OFF”
有機EL駆動モード	“OFF”	“OFF”	“ON”

【0020】図3は本発明における発光ディスプレイの画素駆動回路の他の実施形態を示す概略構成図である。図3において、31は有機EL素子(EL1)、32は、駆動トランジスタ(TR1)、33はキャパシタ(C1)、34は模範電流源(IS1)である。駆動トランジスタ12として、ここでは、Pチャンネルの電流駆動型TFTを用いるものとし、ドレインD側に有機EL素子1が接続されている。また、ゲートGとソースライン38の間には、ゲート電圧保持用のキャパシタ33が接続され、更に、模範電流源34とゲートG間にスイッチ(S1)35が、模範電流源34とドレインD間にスイッチ(S2)36が接続されている。なお、ソースライン38は、バイアス電源39によりバイアスされているものとする。ここでも、模範電流源34を外部に備え、模範電流プログラムモードとEL駆動モードとを、ソースライン38の電位、およびスイッチ35、36を介して切替えることにより後述する動作が実行される。

【0021】まず、電流プログラムモードから説明する。ソースライン38の電位をGNDレベル付近の“LOW”状態に設定して模範電流源34による電流IS1

を駆動トランジスタ32のドレインに接続すれば、有機EL素子31は、両端電位差が“ON”レベルより低くなるため電流が流れず、模範電流I1は、駆動トランジスタ32のドレインのみに流れ、駆動トランジスタ32は、ドレイン電流として模範電流I1を流すようなゲート電圧を発生させる。従って、駆動トランジスタ32は、そのゲート電圧によって、あたかも模範電流源34が駆動トランジスタ32の負荷であるかのように、模範電流源34に模範電流I1を流そうとする。そのゲート電圧は、キャパシタ33にチャージされる。

【0022】次に、有機EL動作モードについて説明する。ここでは、まず、スイッチ36を“OFF”して模範電流源34を切り離し、ソースライン38の電位を有機EL素子31の“ON”レベルより高い“HIGH”状態に設定すると、駆動トランジスタ32は、キャパシタ33にチャージされたゲート電圧により、ドレイン電流として模範電流I1を流し続けようとし、有機EL素子31に模範電流I1を流し込む。同時にスイッチ35を“OFF”することによってキャパシタ33にチャージされているゲート電圧は閉じ込められ、次の電流プロ

(5)

7

グラムモード時まで保持される。なお、電流プログラムモード時、ソース電位をマイナスレベルまで下げたときに、有機EL素子31に逆バイアスがかかり、このことにより有機EL素子31をリフレッシュすることもできる。

【0023】図4は、図3に示すスイッチ35、36を実際のトランジスタで構成したときの実施形態を示す回路図である。図中、図3と同一番号が付された回路素子は図1に示すそれと同じである。なお、図1に示すスイッチ35は、スイッチングトランジスタ（TR2）45

に、スイッチ36は、スイッチングトランジスタ（TR*

動作モード	TR2（S1）	TR3（S2）	ソース電位
電流プログラムモード	“ON”	“ON”	“LOW”
有機EL駆動モード	“OFF”	“OFF”	“HIGH”

【0026】図5、図7は本発明における発光ディスプレイの画素駆動回路の更に他の実施形態を示す概略構成図であり、図6、図8は、それぞれ、図5、図7に示すスイッチ55（75）、56（76）、57を実際のトランジスタで構成したときの実施形態を示す回路図である。図5（7）中、図5（7）と同一番号が付された回路素子は、図5（7）に示すそれと同じである。図1

（2）、図3（4）に示す実施形態との差異は、スイッチ55（75）、56（76）、57の接続に形態にあり、その他の接続構成ならびに動作は、それぞれ図1（2）、図3（4）に示す実施形態に準ずる。重複を避ける意味でここでの説明は省略する。

【0027】上記いずれの実施形態においても、駆動トランジスタのドレインもしくはソースを駆動すべき発光素子から切り離した状態でそのドレインもしくはソースに模範電流を注入して覚え込ませる電流プログラム手段と、電流プログラム手段による模範電流の覚え込みが終了したときに駆動トランジスタのドレインもしくはソースを駆動すべき発光素子側に切替え、その発光素子を駆動する発光素子駆動手段とを備えた本発明における発光ディスプレイの画素駆動回路の範囲を逸脱するものではない。

【0028】以上説明のように本発明は、ある選択されたラインの画素セルに電流プログラムをしている間に他の選択されていないラインの画素セルを駆動モードに設定でき、同じフレーム周波数で比較した場合、発光素子の駆動時間が長くなり、その分、同じ視感上の輝度を実現するための発光素子の実発光輝度を下げることができるようになる。これにより、発光素子の寿命も改善され、また、駆動トランジスタの電流も減らせるため、駆動トランジスタの負担も軽くなり、サイズを小さくすることができる。

【0029】また、プログラム電流値を一定にして発光素子をON/OFFしてパルス密度により階調表現しよ

8

* 3）46に相当し、ここでは、いずれもNチャンネルトランジスタで構成されるものとする。

【0024】動作は図3に示す実施形態と同様であるため重複を避ける意味で説明を省略するが、以下に動作モード（電流プログラムモード／有機EL駆動モード）毎のトランジスタ45、46ならびにソースライン電位の状態遷移を<表2>として示す。

【0025】

【表2】トランジスタおよびソースライン電位の状態遷

移

うとした場合、1フレームをいくつかのサブフレームに分けて高速制御しなければならないが、上記したように無駄時間の設定が不要となるため、表現可能な階調数が荒くなって表示画質が落ちるといった不都合を解消することができる。

【0030】

【発明の効果】以上説明のように本発明は、電流プログラム時に駆動トランジスタのドレイン側を一旦駆動すべき発光素子から切り離し、そのドレインもしくはソース側に模範電流を注入して覚え込ませ、電流プログラムが終了した段階ですぐにそのドレインもしくはソースを駆動すべき発光素子側に切替えることでその画素セルを駆動モードに設定可能とするものであり、このことにより、模範電流プログラム動作によってそれを電流値として画素セルに覚え込ませることで、駆動トランジスタの特性バラツキにかかわらず駆動電流を意図通りに制御することができ、TFTプロセス特有のトランジスタ特性のバラツキによる画素セル間の駆動電流バラツキが防げるため表示品質の改善がはかれる。

【0031】また、ある選択されたラインの画素セルに電流プログラムをしている間に他の選択されていないラインの画素セルを駆動モードに設定でき、従って、無駄な待ち時間をなくし、全体の動作を簡略化した発光ディスプレイの画素駆動回路を提供することができる。なお、電流プログラムモード時、ソース電位をマイナスレベルまで下げることにより、発光素子に自動的に逆バイアスがかかり、発光素子をリフレッシュできるといった派生的効果も合わせ持つことができる。

【図面の簡単な説明】

【図1】本発明における発光ディスプレイの画素駆動回路の一実施形態を示す概略構成図である。

【図2】図1に示す実施形態のスイッチをトランジスタに置換したときの回路構成を示す図である。

【図3】本発明における発光ディスプレイの画素駆動回

50

(6)

9

路の他の実施形態を示す概略構成図である。

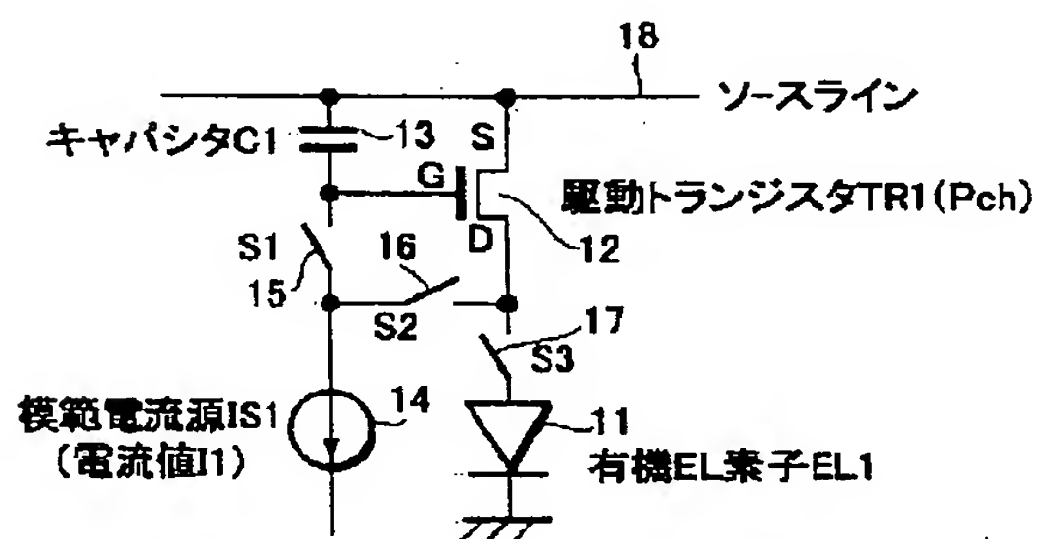
【図4】図3に示す実施形態のスイッチをトランジスタに置換したときの回路構成を示す図である。

【図5】本発明における発光ディスプレイの画素駆動回路の更に他の実施形態を示す概略構成図である。

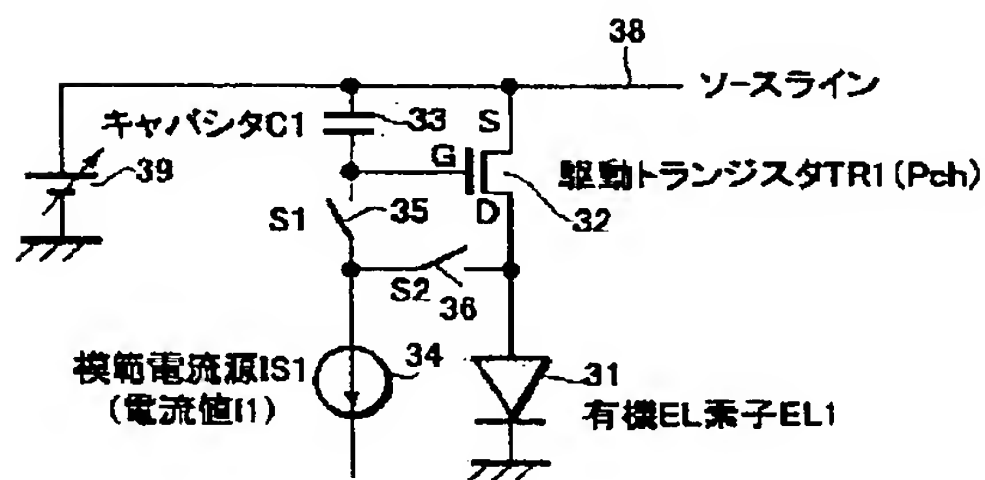
【図6】図5に示す実施形態のスイッチをトランジスタに置換したときの回路構成を示す図である。

【図7】本発明における発光ディスプレイの画素駆動回路の更に他の実施形態を示す概略構成図である。

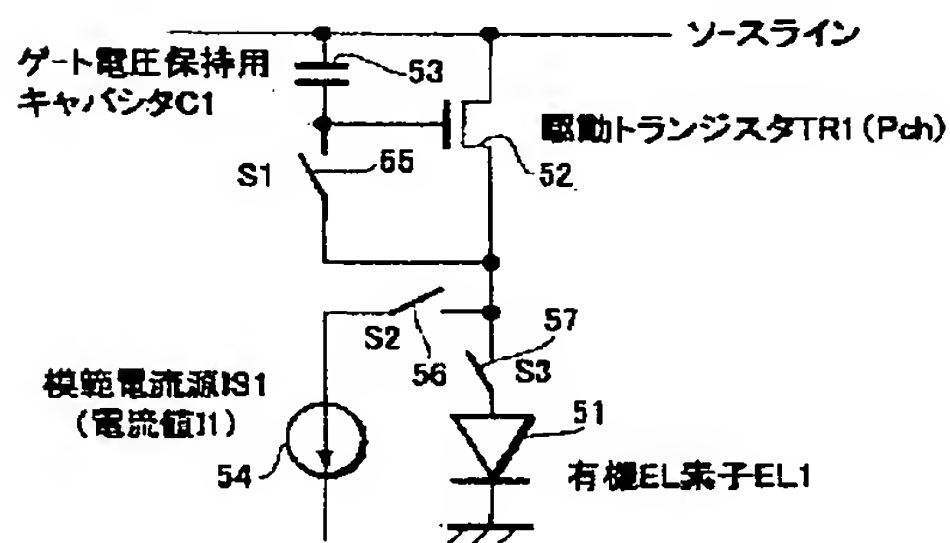
【図1】



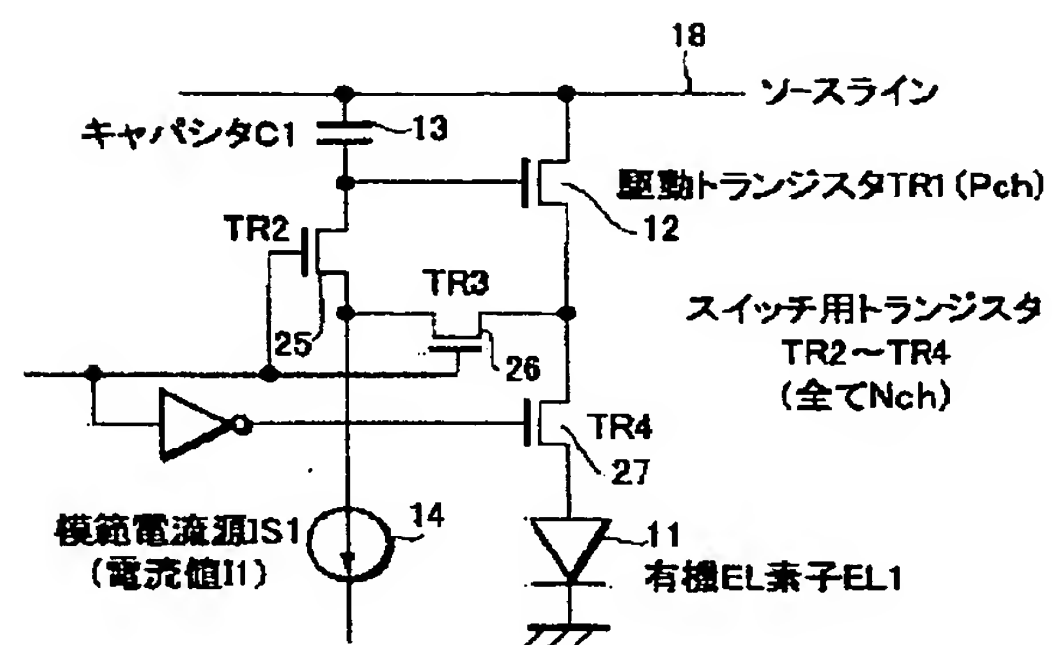
【図3】



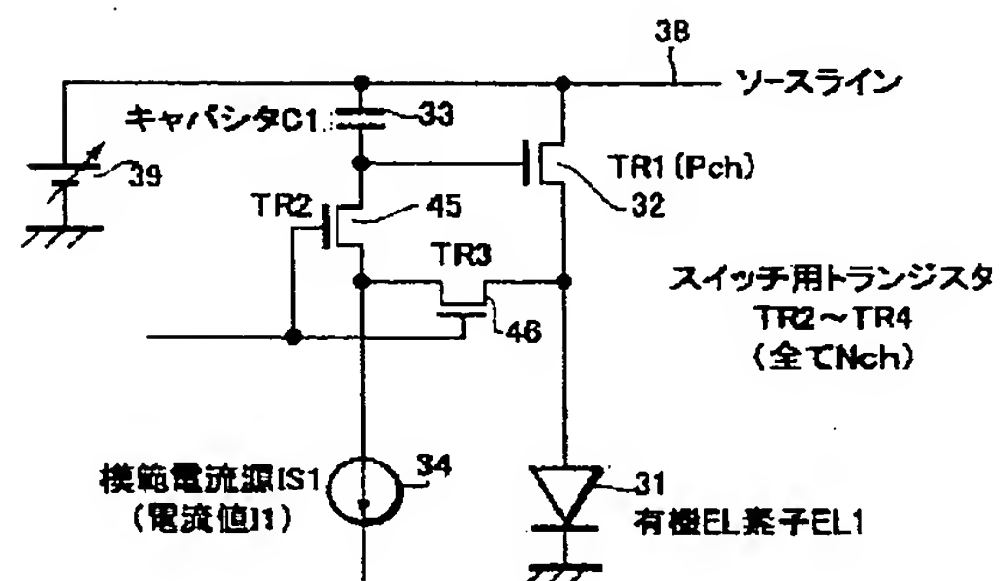
【図5】



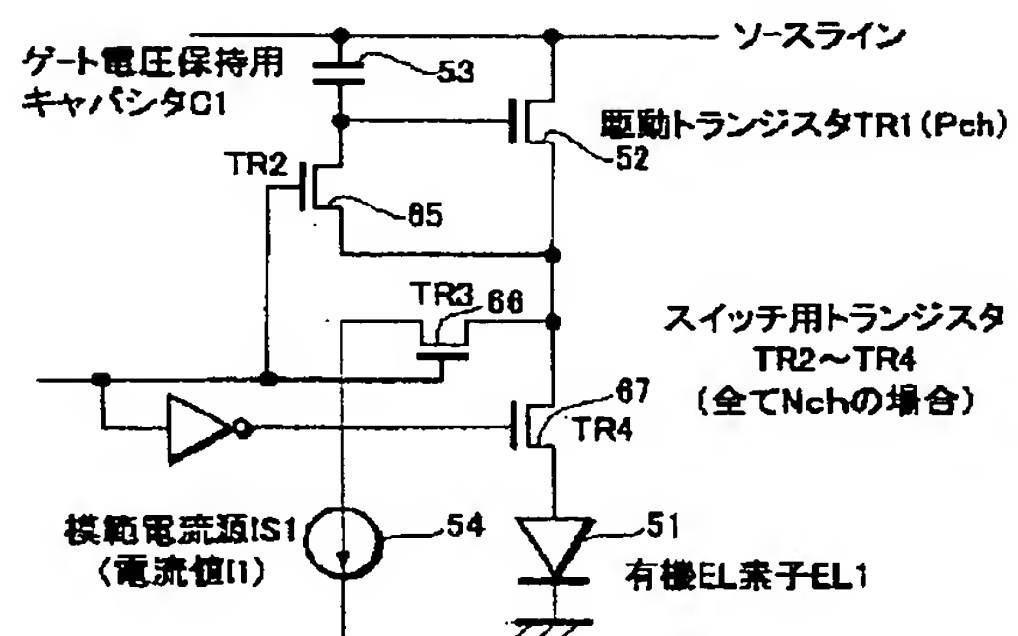
【図2】



【図4】



【図6】



10

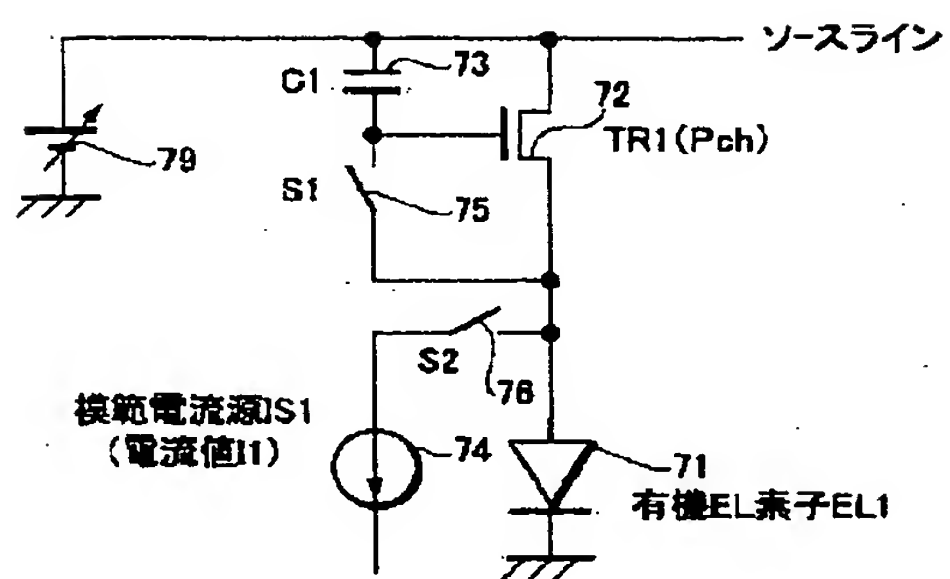
【図8】図7に示す実施形態のスイッチをトランジスタに置換したときの回路構成を示す図である。

【符号の説明】

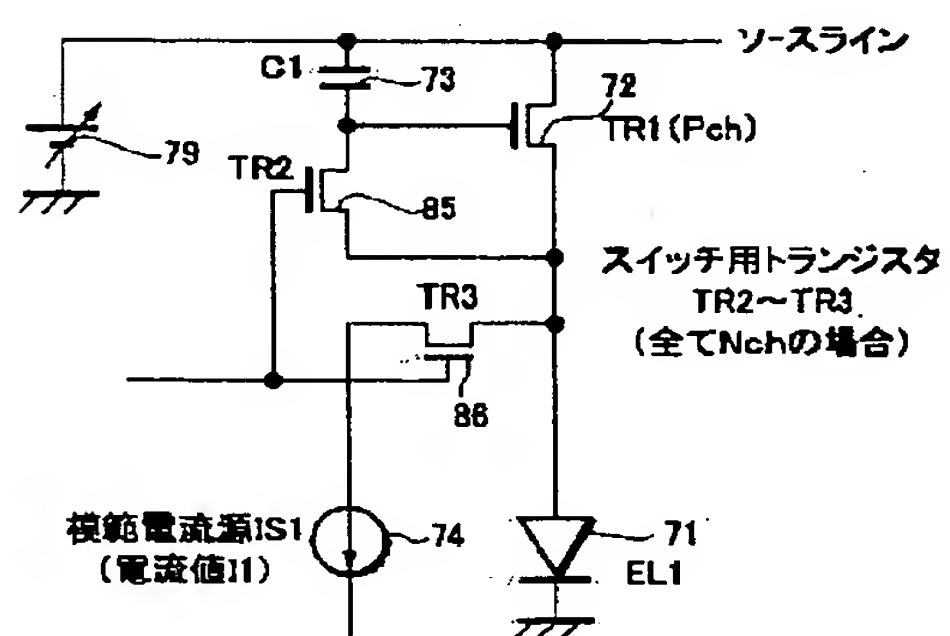
1 1、3 1…有機EL素子、1 2、3 2…駆動トランジスタ、1 3、3 3…キャパシタ、1 4、3 4、6 5、7 4…模範電流源、1 5 (1 6、1 7)、3 5、3 6 5 5 (5 6、5 7)、7 5、7 6…スイッチ、1 8、3 8…ソースライン、2 5 (2 6、2 7)、4 5、4 6…スイッチングトランジスタ、3 9…バイアス電源

(7)

【図7】



【図8】



THIS PAGE BLANK (USPTO)